

日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT

JCS42 U.S. PTO
09/159569
09/24/98

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application:

1997年 9月26日

出 願 番 号
Application Number:

平成 9年特許願第261207号

出 願 人
Applicant (s):

ソニー株式会社

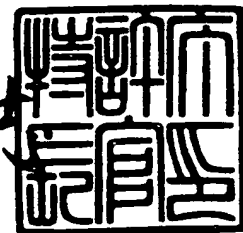
BEST AVAILABLE COPY

CERTIFIED COPY OF
PRIORITY DOCUMENT

1998年 7月 3日

特許庁長官
Commissioner,
Patent Office

山 建 志 保



出証番号 出証特平10-3052538

【書類名】 特許願

【整理番号】 9705820102

【提出日】 平成 9年 9月26日

【あて先】 特許庁長官 殿

【国際特許分類】 H04N 5/332

【発明の名称】 固体撮像素子およびその駆動方法

【請求項の数】 15

【発明者】

 【住所又は居所】 東京都品川区北品川6丁目7番35号 ソニー株式会社
内

 【氏名】 鈴木 亮司

【発明者】

 【住所又は居所】 東京都品川区北品川6丁目7番35号 ソニー株式会社
内

 【氏名】 米本 和也

【発明者】

 【住所又は居所】 東京都品川区北品川6丁目7番35号 ソニー株式会社
内

 【氏名】 上野 貴久

【特許出願人】

 【識別番号】 000002185

 【氏名又は名称】 ソニー株式会社

 【代表者】 出井 伸之

【代理人】

 【識別番号】 100086298

 【弁理士】

 【氏名又は名称】 船橋 國則

 【電話番号】 0462-28-9850

【手数料の表示】

【予納台帳番号】 007364

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9713936

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 固体撮像素子およびその駆動方法

【特許請求の範囲】

【請求項1】 入射光を光電変換しかつ光電変換によって得られた信号電荷を蓄積する光電変換素子、画素を選択する選択用スイッチおよび前記光電変換素子から垂直信号線へ信号電荷を読み出す読み出し用スイッチを有する単位画素が行列状に2次元配置されてなる画素部と、

前記垂直信号線の各々に接続され、これら垂直信号線に読み出された信号電荷を電気信号に変換する複数の増幅手段と、

前記垂直信号線の各々をリセットする複数のリセット手段とを具備することを特徴とする固体撮像素子。

【請求項2】 前記光電変換素子は、HADセンサ構成のフォトダイオードである

ことを特徴とする請求項1記載の固体撮像素子。

【請求項3】 前記リセット手段は、1画素前の読み出しタイミング又は水平走査タイミングに同期して前記垂直信号線をリセットする

ことを特徴とする請求項1記載の固体撮像素子。

【請求項4】 前記リセット手段は、前記光電変換素子からの信号電荷の読み出し直前で前記垂直信号線をリセットする

ことを特徴とする請求項1記載の固体撮像素子。

【請求項5】 前記選択用スイッチおよび前記読み出し用スイッチは、前記光電変換素子と前記垂直信号線との間に直列に接続されている

ことを特徴とする請求項1記載の固体撮像素子。

【請求項6】 前記選択用スイッチが前記光電変換素子側に配されていることを特徴とする請求項5記載の固体撮像素子。

【請求項7】 前記選択用スイッチおよび前記読み出し用スイッチは、ダブルゲート構造のMOSトランジスタからなる

ことを特徴とする請求項5記載の固体撮像素子。

【請求項8】 前記選択用スイッチおよび前記読み出し用スイッチの各ゲー

ト電極は2層のゲート電極からなり、隣接する部分がオーバーラップしていることを特徴とする請求項7記載の固体撮像素子。

【請求項9】 前記読み出し用スイッチは前記光電変換素子と前記垂直信号線との間に接続され、前記選択用スイッチは前記読み出し用スイッチの制御電極と読み出しパルス線との間に接続されている

ことを特徴とする請求項1記載の固体撮像素子。

【請求項10】 前記選択用スイッチは、デプレッション型MOSトランジスタからなる

ことを特徴とする請求項9記載の固体撮像素子。

【請求項11】 前記垂直信号線と水平信号線との間に、前記リセット手段によるリセット時の前記垂直信号線上のリセットレベルとリセット後に前記垂直信号線上に読み出された信号レベルとを共通に出力する水平選択用スイッチを備えたことを特徴とする請求項1記載の固体撮像素子。

【請求項12】 前記水平選択用スイッチによって順次出力された前記リセットレベルと前記信号レベルの差分をとる差分回路

を備えたことを特徴とする請求項11記載の固体撮像素子。

【請求項13】 前記差分回路は相関二重サンプリング回路であることを特徴とする請求項12記載の固体撮像素子。

【請求項14】 入射光を光電変換しかつ光電変換によって得られた信号電荷を蓄積する光電変換素子、画素を選択する選択用スイッチおよび前記光電変換素子から垂直信号線へ信号電荷を読み出す読み出し用スイッチを有する単位画素が行列状に2次元配置されてなる画素部と、前記垂直信号線の各々に接続され、これら垂直信号線に読み出された信号電荷を電圧信号に変換する複数の増幅手段とを具備する固体撮像素子において、

先ず前記垂直信号線をリセットしてそのリセットレベルを、次いで前記光電変換素子から前記垂直信号線に画素信号を読み出してその信号レベルを同一経路を経由して順次出力し、

しかる後前記リセットレベルと前記信号レベルの差分をとる

ことを特徴とする固体撮像素子の駆動方法。

【請求項15】 隣り合う垂直選択線2本ずつを同時に順次駆動し、かつ垂直信号線上で垂直方向における2画素分の信号電荷を混合する

ことを特徴とする請求項14記載の固体撮像素子の駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は固体撮像素子およびその駆動方法に関し、特に垂直信号線の各々に増幅手段（カラムアンプ）が接続されてなる固体撮像素子およびそのノイズを除去するための駆動方法に関する。

【0002】

【従来の技術】

従来、この種の固体撮像素子として、図13に示すように、単位画素101が行列状に2次元配置され、垂直走査回路102によって垂直選択線103を介して行選択がなされる構成のものにおいて、垂直信号線104の各々にカラムアンプ105が接続され、単位画素101の各々の画素信号がカラムアンプ105に行単位で蓄えられるとともに、水平走査回路106によって列選択がなされ、水平信号線107およびセンスアンプ108を介して出力される構成のものが知られている（例えば、米国特許第5,345,266号参照）。

【0003】

【発明が解決しようとする課題】

しかしながら、上記構成の従来の固体撮像素子では、単位画素101の各々を構成するMOSトランジスタの画素ごとの V_{th} （閾値）のバラツキがそのまま撮像素子の出力信号に乗ってきてしまう。この V_{th} バラツキは、画素ごとに固定の値を持つため、画面上に固定パターンノイズ（FPN;Fixed Pattern Noise）として現れることになる。

【0004】

この固定パターンノイズを抑圧するためには、デバイスの外部にフレームメモリを用いたノイズ除去回路を設け、暗時の出力信号（ノイズ成分）および明時の出力信号（映像成分）の一方を各画素ごとにフレームメモリにあらかじめ記憶し

ておき、もう一方の画素の信号との間で引き算を行うことにより、 V_{th} バラツキに起因するノイズ成分を除去する必要があった。したがって、カメラシステムとしては、フレームメモリを用いたノイズ除去回路を外付けとする分だけ規模が大きくなってしまう。

【0005】

本発明は、上記課題に鑑みてなされたものであり、その目的とするところは、固定パターンノイズをデバイス内部で抑圧可能な固体撮像素子およびそのノイズを除去するための駆動方法を提供することにある。

【0006】

【課題を解決するための手段】

本発明による固体撮像素子は、入射光を光電変換しかつ光電変換によって得られた信号電荷を蓄積する光電変換素子、画素を選択する選択用スイッチおよび光電変換素子から垂直信号線へ信号電荷を読み出す読み出し用スイッチを有する単位画素が行列状に2次元配置されてなる画素部と、垂直信号線の各々に接続され、これら垂直信号線に読み出された信号電荷を電気信号に変換する複数の増幅手段と、垂直信号線の各々をリセットする複数のリセット手段とを具備する構成となっている。

【0007】

また、本発明による駆動方法は、上記構成の固体撮像素子において、先ず垂直信号線をリセットしてそのリセットレベルを、次いで光電変換素子から垂直信号線に画素信号を読み出してその信号レベルを同一経路を経由して順次出力し、しかる後リセットレベルと信号レベルの差分をとるようにする。

【0008】

上記構成の固体撮像素子の単位画素の各々において、各単位画素が選択用スイッチと読み出し用スイッチを有することで、画素単位での画素信号の読み出しが可能となる。そこで、先ず垂直信号線をリセットし、しかる後各画素信号を垂直信号線に読み出すことで、リセットレベルおよび信号レベルがその順番で1画素ごとに得られる。そして、リセットレベルと信号レベルの差分をとることで、画素の特性のバラツキに起因するノイズ成分をキャンセルできる。しかも、リセッ

トレベルおよび信号レベルが同一の経路を通して出力されることで、垂直に相関を持つ縦筋状のノイズ成分も原理的に発生しない。

【0009】

【発明の実施の形態】

以下、本発明の実施の形態について図面を参照しつつ詳細に説明する。

【0010】

図1は、本発明の第1実施形態を示す概略構成図である。図1において、破線で囲まれた領域が単位画素11を表している。この単位画素11は、光電変換素子であるフォトダイオード(PD)12と、画素を選択する選択用スイッチである選択用MOSトランジスタ13と、フォトダイオード12から信号電荷を読み出す読み出し用スイッチである読み出し用MOSトランジスタ14とから構成され、行列状に2次元配置されている。

【0011】

この単位画素11において、フォトダイオード12は入射光を光電変換しかつ光電変換によって得られた信号電荷を蓄積する機能を持つ、即ち光電変換と電荷蓄積を兼ねている。このフォトダイオード12のカソード電極と垂直信号線15の間には、選択用MOSトランジスタ13および読み出し用MOSトランジスタ14が直列に接続されている。そして、選択用MOSトランジスタ13のゲート電極は垂直選択線16に、読み出し用MOSトランジスタ14のゲート電極は読み出しパルス線17にそれぞれ接続されている。

【0012】

垂直信号線15の端部と水平信号線18との間には、垂直信号線15に読み出された信号電荷を電圧信号に変換する増幅手段であるカラムアンプ19と、このカラムアンプ19の出力電圧を選択的に水平信号線18に出力する水平選択用MOSトランジスタ20が直列に接続されている。なお、カラムアンプ19としては、信号電荷を信号電流に変換する回路構成のものであっても良い。カラムアンプ19には、キャパシタ21と、垂直信号線15をリセットするリセット手段であるリセット用MOSトランジスタ22が並列に接続されている。

【0013】

また、行選択のための垂直走査回路23および列選択のための水平走査回路24が設けられている。これら走査回路23, 24は、例えばシフトレジスタによって構成される。そして、垂直走査回路23から出力される垂直走査パルス ϕV_m が垂直選択線16に印加され、また水平走査回路24から出力される読み出しパルス ϕC_n が読み出しパルス線17に、水平走査パルス ϕH_n が水平選択用MOSトランジスタ20のゲート電極に、リセットパルス ϕR_n がリセット用MOSトランジスタ22のゲート電極にそれぞれ印加される。

【0014】

水平信号線18の出力端側には、水平出力アンプ25を介して例えば相関二重サンプリング回路（以下、CDS (Correlated Double Sampling) 回路と称する）26が差分回路として設けられている。このCDS回路26は、単位画素11の各々から水平信号線18を経由して順次供給されるリセットレベルと信号レベルの差分をとるために設けられたものであり、差分回路としては回路構成が簡単であるという利点を持つ。CDS回路26の具体的な回路構成については、後で詳細に説明する。

【0015】

次に、上記構成の第1実施形態に係る固体撮像素子の動作について、図2のタイミングチャートを用いて図3のポテンシャル図を参照しつつ説明する。なお、図3から明らかなように、フォトダイオード12は、npダイオードの表面側に p^+ 層からなる正孔蓄積構造を付加したHAD (Hole Accumulation Diode) センサ構成となっている。また、選択用MOSトランジスタ13および読み出し用MOSトランジスタ14の各ゲート電極13a, 14aは、1層のゲート電極からなるダブルゲート構造となっている。ダブルゲート構造を採ることで、小面積化が図れる利点がある。

【0016】

まず、m行目の垂直走査パルス ϕV_m が“L”レベル状態にある期間aでは、m行目の画素11の各々においてフォトダイオード12に信号電荷が蓄積される一方、他の行の画素において信号電荷の読み出しが行われる。

【0017】

次に、垂直走査パルス ϕV_m が“H”レベルに遷移すると、 m 行目の単位画素11の選択用MOSトランジスタ13がオン状態となり、フォトダイオード12に蓄積された信号電荷が選択用MOSトランジスタ13に流れ込む。この状態において、リセットパルス ϕR_n が“H”レベルになると、リセット用MOSトランジスタ22がオン状態となり、 n 列目の垂直信号線15がカラムアンプ19の基準電位 V_b にリセットされる。そして、リセットパルス ϕR_n が“L”レベルに遷移し、しかる後水平走査パルス ϕH_n が“H”レベルとなることで、水平選択用MOSトランジスタ20がオン状態となり、先ずノイズ成分が水平信号線18に出力される（期間b）。

【0018】

次いで、 n 列目の読み出しパルス ϕC_n が“H”レベルに遷移すると、 n 列目の単位画素11の読み出し用MOSトランジスタ14がオン状態となり、フォトダイオード12に蓄積されていた信号電荷が、選択用MOSトランジスタ13および読み出し用MOSトランジスタ14を通して n 列目の垂直信号線15へ読み出しされる（期間c）。

【0019】

続いて、垂直信号線15につながるカラムアンプ19からのフィードバックにより、垂直信号線15はカラムアンプ19の基準電位 V_b になり、信号に応じた電荷がキャパシタ21に読み出される（期間d）。そして、読み出しパルス ϕC_n が“L”レベルに遷移することで、水平走査パルス ϕH_n が“L”レベルに遷移するまでの期間eにおいて、信号成分が水平信号線18に出力される。それと同時に、フォトダイオード12では次の電荷蓄積が開始される。

【0020】

上述した一連の動作により、ノイズ成分（ノイズレベル）と信号成分（信号レベル）の順次出力が、同一の経路（カラムアンプ19や水平選択用MOSトランジスタ29など）を経由して水平信号線18上に伝送される。これらはさらに、水平出力アンプ25を通してCDS回路26に送られて、相関二重サンプリングによるノイズキャンセルが行われる。

【0021】

図4に、CDS回路26の具体的な回路構成の一例を示す。このCDS回路26は、入力端子31に一端が接続されたクランプキャパシタ33と、このクランプキャパシタ33の他端に一方の主電極が接続されたクランプMOSトランジスタ34と、クランプキャパシタ33の他端に一方の主電極が接続されたサンプルホールドMOSトランジスタ35と、このサンプルホールドMOSトランジスタ35の他方の主電極とグランドとの間に接続されたサンプルホールドキャパシタ36と、サンプルホールドMOSトランジスタ35の他方の主電極と出力端子38との間に接続されたバッファアンプ37とから構成されている。

【0022】

このCDS回路26において、クランプMOSトランジスタ34の他方の主電極にはクランプ電圧 V_{c1} が、そのゲート電極にはクランプパルス ϕ_{CL} がそれぞれ印加される。また、サンプルホールドMOSトランジスタ35のゲート電極には、サンプルホールドパルス ϕ_{SH} が印加される。

【0023】

上記構成のCDS回路26を差分回路として用い、順次供給されるノイズ成分と信号成分を使って相関二重サンプリングを行うことにより、信号成分に含まれるノイズ成分をキャンセルすることができる。特に、水平信号線18には同一の経路を通してリセット信号の順で出力され、ノイズ成分と信号成分の順次出力が得られるので、単位画素11のMOSトランジスタの V_{th} バラツキのみならず、縦筋状の固定パターンノイズの原因となるリセットノイズ（いわゆるkTCノイズ）をも抑圧できることになる。

【0024】

なお、本実施形態の変形例として、図2のタイミングチャートから明らかなように、 n 列目の読み出しパルス ϕ_{Cn} と $n+1$ 列目のリセットパルス ϕ_{Rn+1} を共用することができる。さらに、 n 列目の水平走査パルス ϕ_{Hn} と $n+1$ 列目のリセットパルス ϕ_{Rn+1} を共用するタイミングでも、上述した場合と同じ動作を得ることができる。

【0025】

また、回路的には、選択用MOSトランジスタ13と読み出し用MOSトラン

ジスタ14の配置を図1の逆にしても同様の動作を行うことが可能である。ただし、電荷蓄積を行っているフォトダイオード12側に、1H（1水平期間）に1回ずつオン／オフを繰り返す読み出し用MOSトランジスタ14を配置すると、暗電流の発生原因となる。したがって、図1に示すように、フォトダイオード12側に選択用MOSトランジスタ13を配置する方が、暗電流の発生を抑えることができるので好ましい。

【0026】

また、図5のタイミングチャートに示すように、隣り合う垂直選択線を2本ずつ同時に駆動することにより、信号電荷の読み出し時に垂直方向における2画素分の信号電荷が垂直信号線15上で足し合わされるため、インターレースに対応したフィールド読み出しを実現できる。具体的には、垂直走査パルス ϕV を例えば、奇数フィールドでは…、 ϕV_{m-2} と ϕV_{m-1} 、 ϕV_m と ϕV_{m+1} 、 ϕV_{m+2} と ϕV_{m+3} 、…の組み合わせで、偶数フィールドでは組み合わせを変えて…、 ϕV_{m-1} と ϕV_m 、 ϕV_{m+1} と ϕV_{m+2} 、…の組み合わせで同時に発生させる。

【0027】

ところで、上記実施形態においては、選択用MOSトランジスタ13および読み出し用MOSトランジスタ14の各ゲート電極13a、14aが1層のゲート構造であることから、プロセス的には簡単であり、又工程数が少ないので安価であるという利点がある。

【0028】

その反面、図3から明らかなように、これらゲート電極13a、14aの間に n^+ 拡散領域が入ってしまうため、期間dから期間eに移行するタイミングのときに、読み出し用MOSトランジスタ14のゲート電極14aで発生するフィールドスルーのバラツキに起因するノイズ成分が残ってしまう懸念がある。また、選択されていない行の画素で発生したオーバーフロー電荷が、この選択用MOSトランジスタ13と読み出し用MOSトランジスタ14の間に入り、スミア発生の原因となる懸念もある。

【0029】

そこで、図6のポテンシャル図に示す第1実施形態の変形例に係る固体撮像素子では、選択用MOSトランジスタ13および読み出し用MOSトランジスタ14の各ゲート電極13a, 14aを2層のゲート電極からなるダブルゲート構造とし、隣接する部分をオーバーラップさせた構成を採っている。なお、同図において、期間a～期間eは、図2のタイミングチャートにおける期間a～期間eのポテンシャル状態を表しており、基本的な動作は図3の場合と同じである。

【0030】

このように、選択用MOSトランジスタ13および読み出し用MOSトランジスタ14の各ゲート電極13a, 14aの隣接部分をオーバーラップさせることにより、これらゲート電極13a, 14a間に図3に示すような n^+ 拡散領域が生じないため、期間dから期間eに移行するタイミングのときに読み出し用MOSトランジスタ14のゲート電極14aで発生するフィードスルーのバラツキに起因するノイズ成分をも完全に転送できることになる。

【0031】

したがって、この読み出し用MOSトランジスタ14のゲート電極14aに起因するノイズが発生することはなくなる。また、フォトダイオード12からオーバーフローした電荷は垂直信号線15に接続された n^+ 拡散領域に直接入るために、信号電荷（画素信号）の読み出し直前に垂直信号線15のリセットを行うことにより、スミアは1画素読み出し時間内に発生する電荷分のみに抑えられることになる。

【0032】

図7は、本発明の第2実施形態を示す概略構成図である。図7において、破線で囲まれた領域が単位画素51を表している。この単位画素51は、第1実施形態の場合と同様に、光電変換素子であるフォトダイオード（PD）52と、画素を選択する選択用スイッチである選択用MOSトランジスタ53と、フォトダイオード52から信号電荷を読み出す読み出し用スイッチである読み出し用MOSトランジスタ54とから構成され、行列状に2次元配置されている。

【0033】

この単位画素51において、フォトダイオード52のカソード電極と垂直信号

線55の間には、読み出し用MOSトランジスタ54が接続されている。また、読み出し用MOSトランジスタ54のゲート電極と読み出しパルス線57の間には、選択用MOSトランジスタ53が接続されている。この選択用MOSトランジスタ53としては、例えばデプレッション型のものが用いられる。そして、選択用MOSトランジスタ53のゲート電極は垂直選択線56に接続されている。

【0034】

垂直信号線55の端部と水平信号線58との間には、垂直信号線55に読み出された信号電荷を電圧信号に変換するカラムアンプ59と、このカラムアンプ59の出力電圧を選択的に水平信号線58に出力する水平選択用MOSトランジスタ60が直列に接続されている。カラムアンプ59には、キャパシタ61と、垂直信号線55をリセットするリセット用MOSトランジスタ62が並列に接続されている。

【0035】

また、行選択のための垂直走査回路63および列選択のための水平走査回路64が設けられている。これら走査回路63、64は、例えばシフトレジスタによって構成される。そして、垂直走査回路63から出力される垂直走査パルス ϕ_m が垂直選択線56に印加され、また水平走査回路64から出力される読み出しパルス ϕ_{Cn} が読み出しパルス線57に、水平走査パルス ϕ_{Hn} が水平選択用MOSトランジスタ60のゲート電極に、リセットパルス ϕ_{Rn} がリセット用MOSトランジスタ62のゲート電極にそれぞれ印加される。水平信号線58の出力端側には、水平出力アンプ65を介して例えば図4に示す回路構成のCDS回路66が差分回路として設けられている。

【0036】

次に、上記構成の第2実施形態に係る固体撮像素子の動作について、図8のタイミングチャートを用いて図9および図10のポテンシャル図を参照しつつ説明する。なお、図9および図10から明らかなように、フォトダイオード52は、npダイオードの表面側に p^+ 層からなる正孔蓄積構造を付加したHADセンサ構成となっている。

【0037】

まず、 m 行目の垂直走査パルス ϕV_m が“L”レベル状態にある期間 a では、 m 行目の画素51の各々においてフォトダイオード52に信号電荷が蓄積される一方、他の行の画素において信号電荷の読み出しが行われる。

【0038】

次に、垂直走査パルス ϕV_m が“H”レベルに遷移すると、 m 行目の単位画素51の選択用MOSトランジスタ53がオン状態となる。この状態において、リセットパルス ϕR_n が“H”レベルになると、リセット用MOSトランジスタ62がオン状態となり、 n 列目の垂直信号線55がカラムアンプ69の基準電位 V_b にリセットされる。そして、リセットパルス ϕR_n が“L”レベルに遷移し、同時に水平走査パルス ϕH_n が“H”レベルとなることで、水平選択用MOSトランジスタ60がオン状態となり、先ずノイズ成分が水平信号線58に出力される（期間 b ）。

【0039】

次いで、 n 列目の読み出しパルス ϕC_n が“H”レベルに遷移すると、既にオン状態にある選択用MOSトランジスタ53を通じて読み出し用MOSトランジスタ54のゲート電極に読み出しパルス ϕC_n が印加される。これにより、フォトダイオード52に蓄積されていた信号電荷が、読み出し用MOSトランジスタ54を通して n 列目の垂直信号線55へ読み出される（期間 c ）。

【0040】

続いて、垂直信号線55につながるカラムアンプ59からのフィードバックにより、垂直信号線55はカラムアンプ59の基準電位 V_b になり、信号に応じた電荷がキャパシタ61に読み出される（期間 d ）。そして、読み出しパルス ϕC_n が“L”レベルに遷移することで、水平走査パルス ϕH_n が“L”レベルに遷移するまでの期間 e において、信号成分が水平信号線58に出力される。それと同時に、フォトダイオード62では次の電荷蓄積が開始される。

【0041】

上述した一連の動作により、第1実施形態の場合と同様に、ノイズ成分（ノイズレベル）と信号成分（信号レベル）の順次出力が水平信号線58上に得られ、これらはさらに、水平出力アンプ65を通してCDS回路66に送られて、相関

二重サンプリングによるノイズキャンセルが行われる。

【0042】

特に、本実施形態においては、選択用MOSトランジスタ53のソース、ドレインを通して読み出し用MOSトランジスタ54のゲート電極に読み出しパルス ϕ_{Cn} を与えるようにしているので、選択用MOSトランジスタ53および読み出し用MOSトランジスタ54のkTCノイズの発生を抑えることができる。この場合には、選択用MOSトランジスタ53および読み出し用MOSトランジスタ54の各ゲート電極を1層のゲート電極で構成できることから、プロセス的には簡単で、又工程数が少なく安価であるという利点もある。

【0043】

また、選択用MOSトランジスタ53としてデプレッション型MOSトランジスタを用いたことで、以下のような利点がある。

【0044】

①1Hに1回、図9の期間aのタイミングで読み出し用MOSトランジスタ54のゲート電極に0Vが印加される。これに対し、通常のエンハンスメント型MOSトランジスタを用いた場合は、信号電荷の蓄積期間では、図11の期間aに示すように、選択用MOSトランジスタ53がオフ状態にあるので、読み出し用MOSトランジスタ54のゲート電極に0Vが印加されない。したがって、1フィールド期間、読み出し用MOSトランジスタ54は電位をホールドしておかなければならない。しかし、逆バイアスリーク電流や光の漏れ込みなどが大きいとゲートの電位がホールドできず、1フィールドの期間中で変化してしまう。

【0045】

②読み出し用MOSトランジスタ54のポテンシャルの合わせ込みにより、読み出し用MOSトランジスタ54がエンハンスメント型となっても、選択用MOSトランジスタ53にデプレッション型を用いれば、図10の期間fのタイミングで読み出し用MOSトランジスタ54のゲート電極にプラスの電位がかかり、オーバーフロー動作が可能となる。その結果、ブルーミングを抑えられる。

【0046】

なお、本実施形態では、選択用MOSトランジスタ53としてデプレッション

型MOSトランジスタを用いるとしたが、これに限定されるものではなく、上述した如きデプレッション型特有の効果は得られないものの、エンハンスメント型を用いた場合であっても、先述した本実施形態特有の効果を得ることは可能である。図11および図12に、選択用MOSトランジスタ53としてエンハンスメント型MOSトランジスタを用いた場合のポテンシャル図を示す。

【0047】

この第2実施形態に係る固体撮像素子の場合にも、第1実施形態に係る固体撮像素子の場合と同様に、図5のタイミングチャートに示すように、隣り合う垂直選択線を2本ずつ同時に駆動することにより、インターレースに対応したフィールド読み出しを実現できる。

【0048】

【発明の効果】

以上説明したように、本発明によれば、垂直信号線の各々にカラムアンプが接続されてなる固体撮像素子において、各画素の信号を画素単位で読み出し可能な構成とし、先ず垂直信号線をリセットしてそのリセットレベルを、次いで光電変換素子から垂直信号線に画素信号を読み出してその信号レベルを同一経路を経由して順次出力し、しかる後リセットレベルと信号レベルの差分をとるようにしたので、単位画素ごとの特性バラツキに起因する固定パターンノイズおよび垂直に相関を持つ縦筋状の固定パターンノイズをデバイス内部で抑圧できる。これにより、当該固体撮像素子を撮像デバイスとして用いるカメラシステムの規模の縮小化に寄与できることになる。

【図面の簡単な説明】

【図1】

本発明の第1実施形態を示す概略構成図である。

【図2】

第1実施形態に係る動作説明のためのタイミングチャートである。

【図3】

第1実施形態に係る動作説明のためのポテンシャル図である。

【図4】

CDS回路の構成の一例を示す回路図である。

【図5】

フィールド読み出しを行う場合のタイミングチャートである。

【図6】

第1実施形態の変形例に係る動作説明のためのポテンシャル図である。

【図7】

本発明の第2実施形態を示す概略構成図である。

【図8】

第2実施形態に係る動作説明のためのタイミングチャートである。

【図9】

第2実施形態に係る動作説明のためのポテンシャル図（その1）である。

【図10】

第2実施形態に係る動作説明のためのポテンシャル図（その2）である。

【図11】

第2実施形態の変形例のポテンシャル図（その1）である。

【図12】

第2実施形態の変形例のポテンシャル図（その2）である。

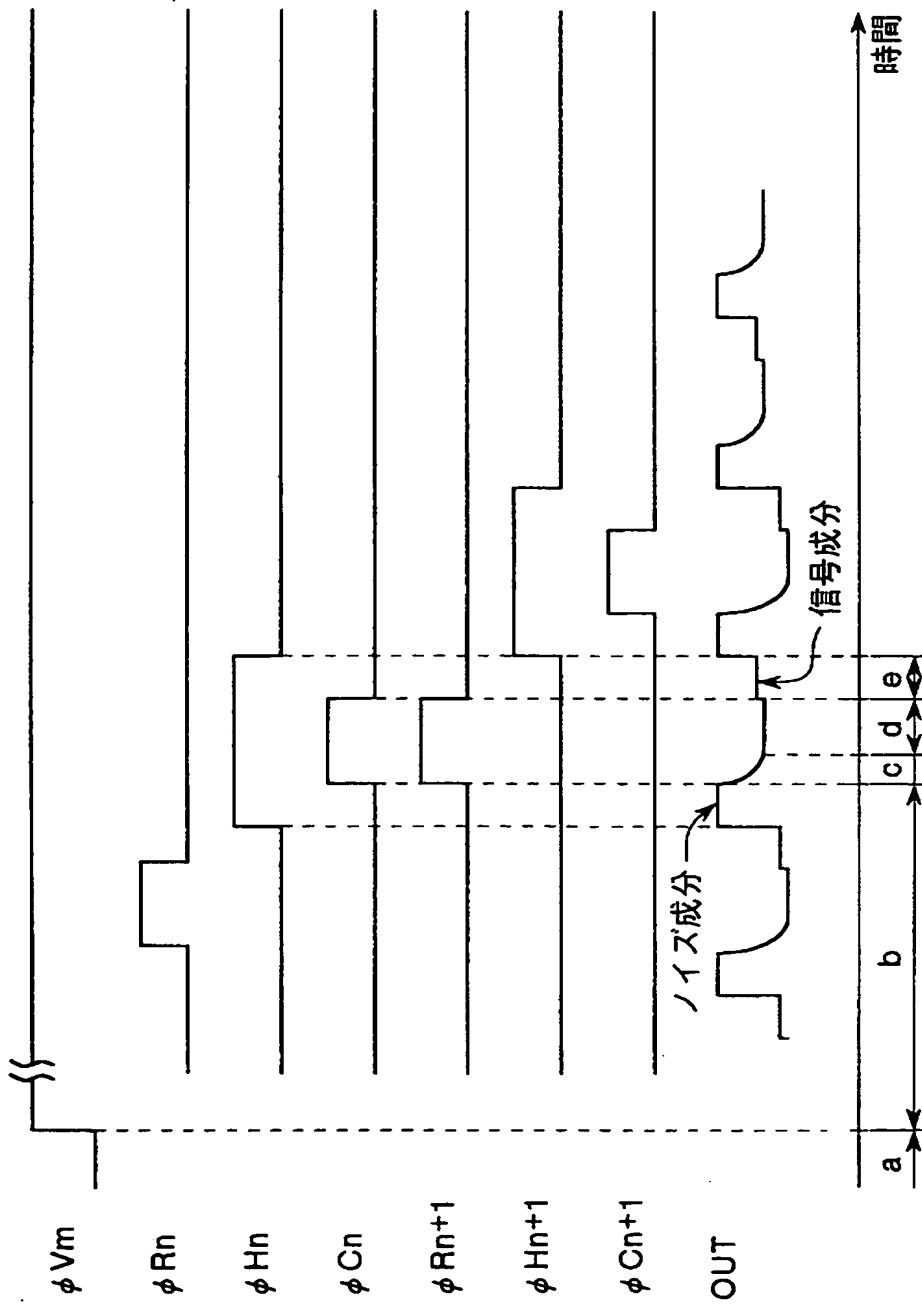
【図13】

従来例を示す回路構成図である。

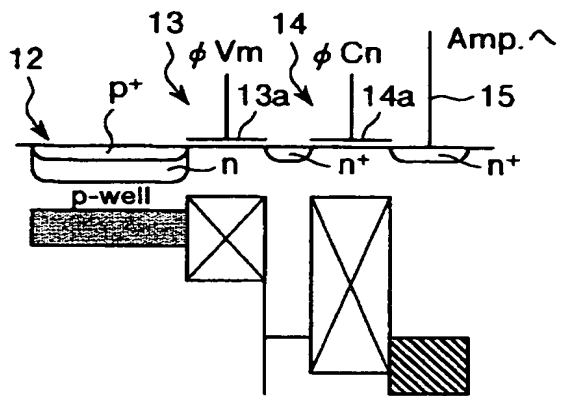
【符号の説明】

11, 51…単位画素、12, 52…フォトダイオード（光電変換素子）、13, 53…選択用MOSトランジスタ、14, 54…読み出し用MOSトランジスタ、15, 55…垂直信号線、16, 56…垂直選択線、17, 57…読み出しパルス線、18, 58…水平信号線、19, 59…カラムアンプ、20, 60…水平選択用MOSトランジスタ、22, 62…リセット用MOSトランジスタ、23, 63…垂直走査回路、24, 64…水平走査回路、26, 66…CDS（相関二重サンプリング）回路

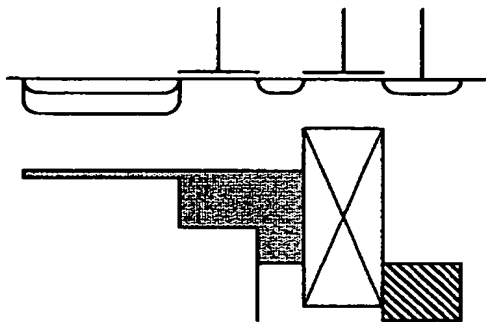
【図2】



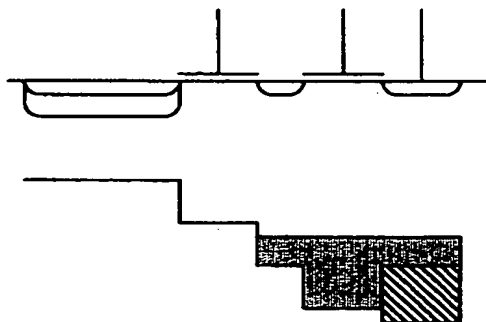
【図 3】



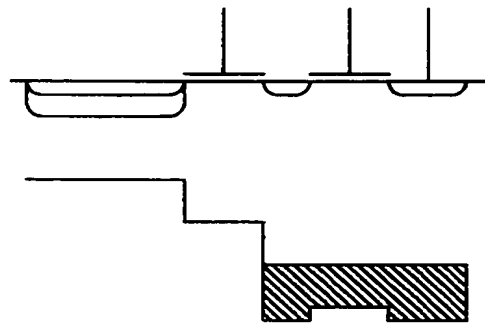
期 間 a



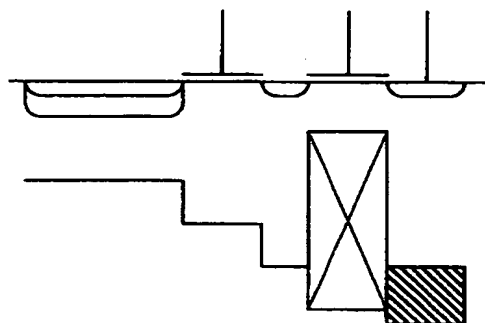
期 間 b



期 間 c

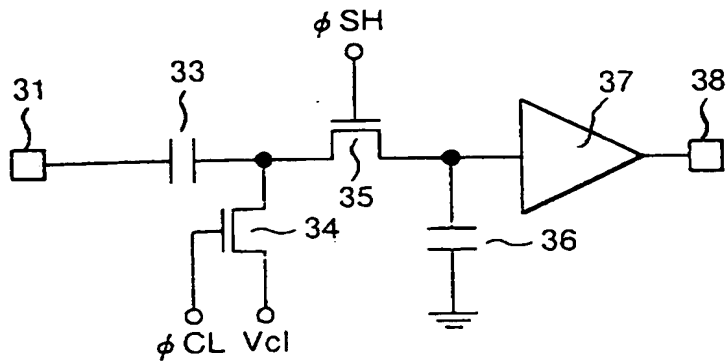


期 間 d



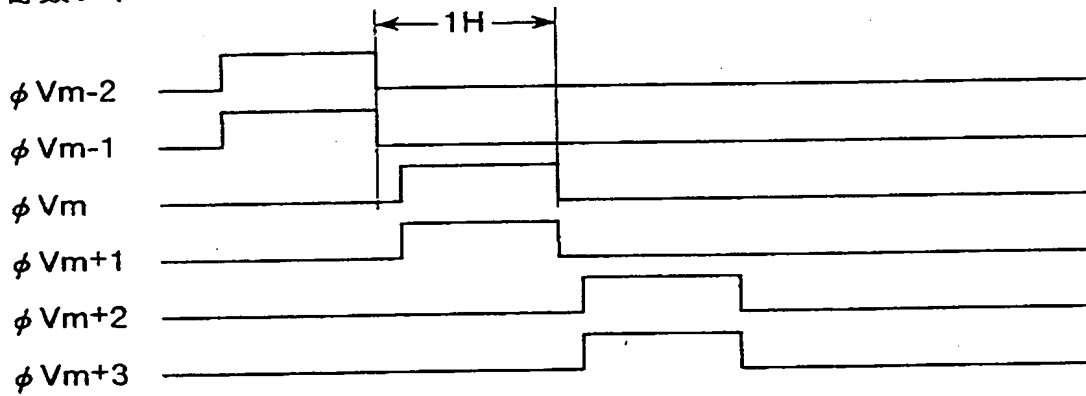
期 間 e

【図4】

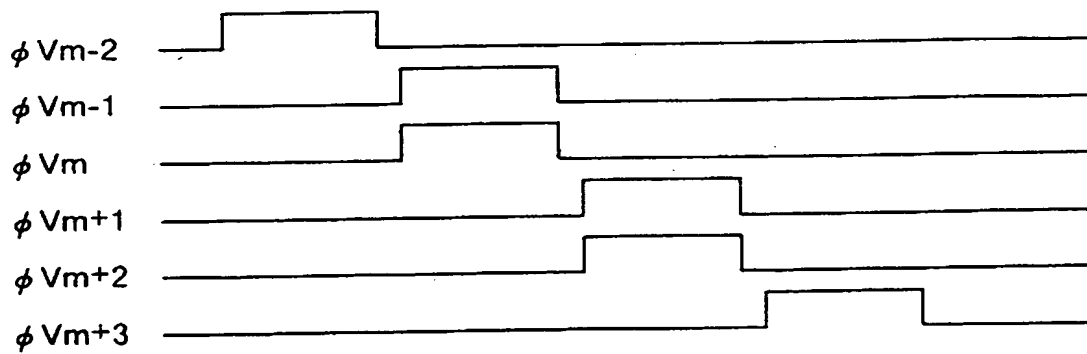


【図5】

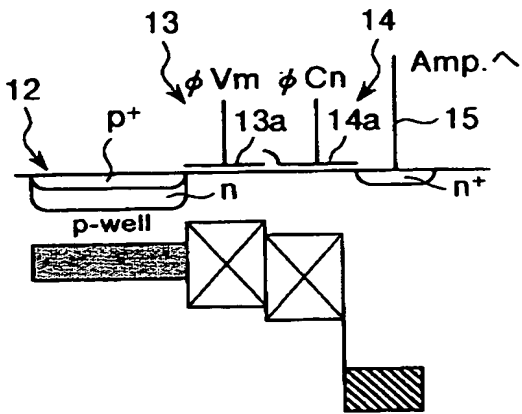
奇数フィールド



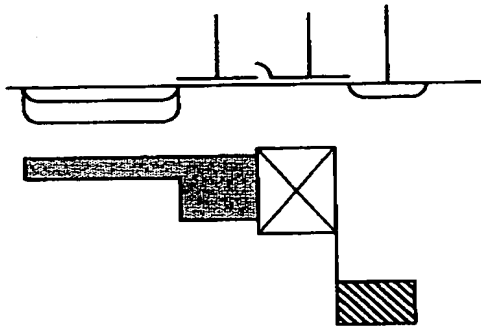
偶数フィールド



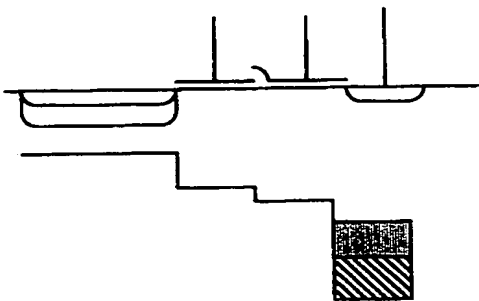
【図 6】



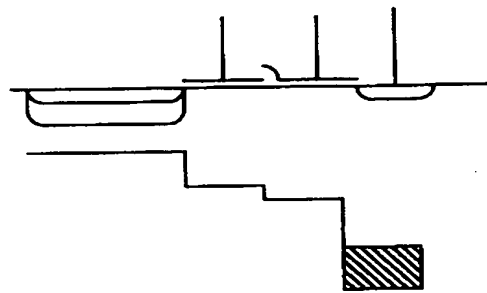
期 間 a



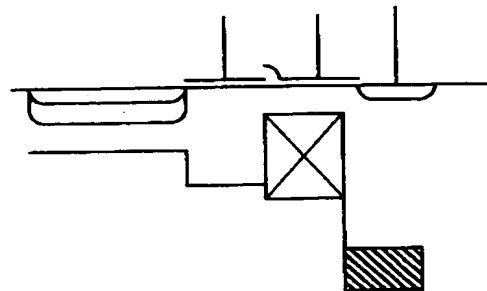
期 間 b



期 間 c

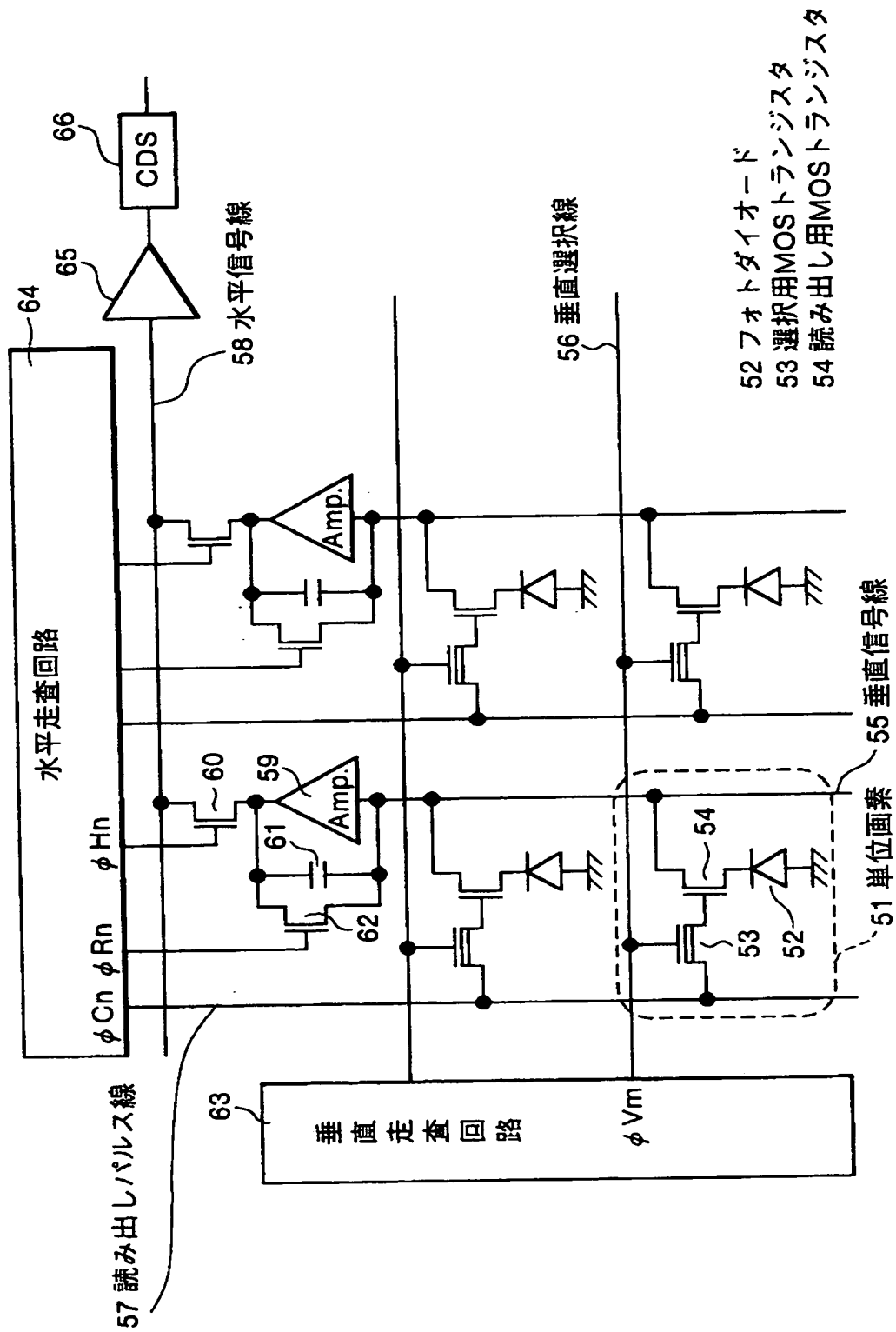


期 間 d

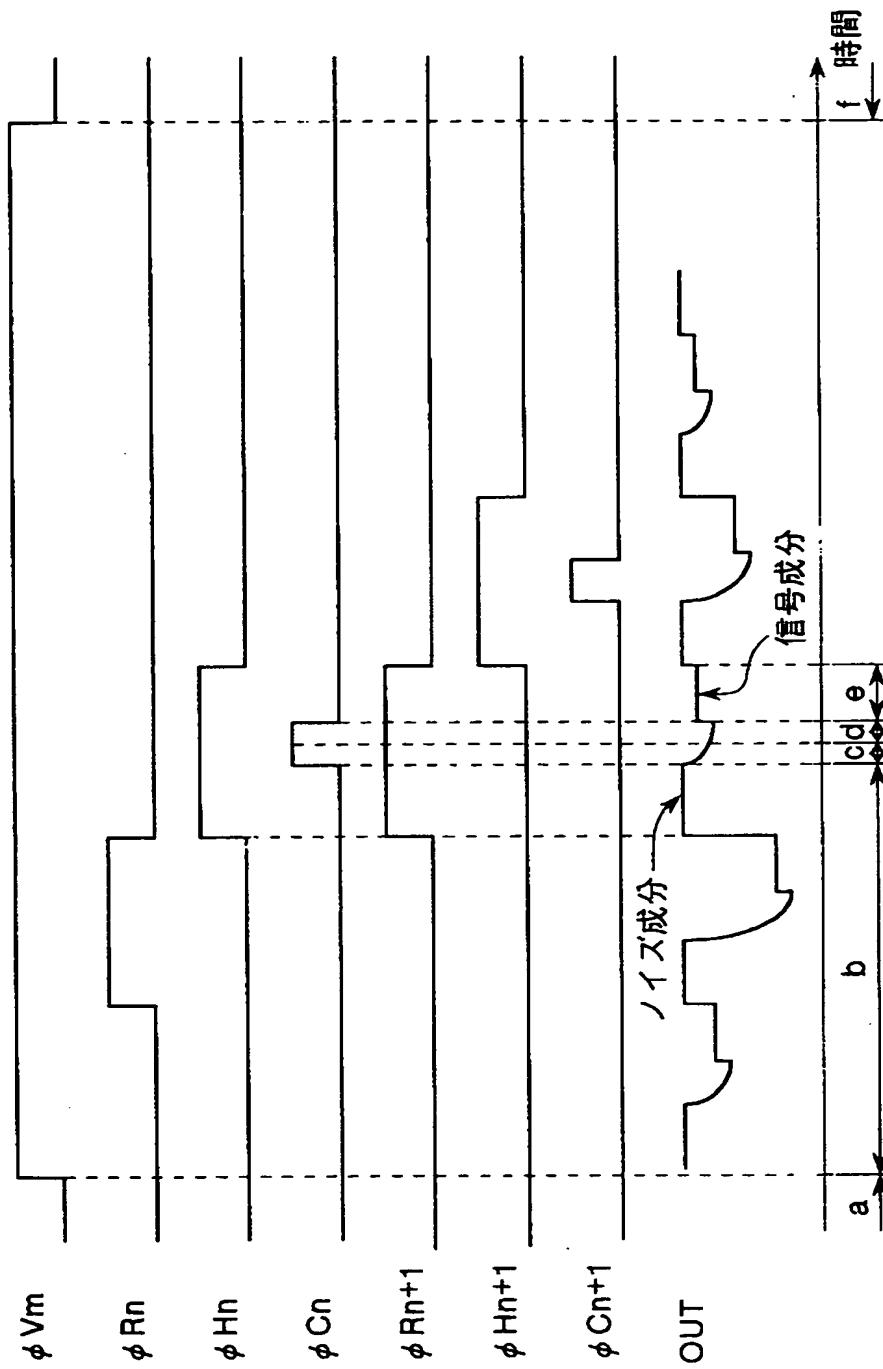


期 間 e

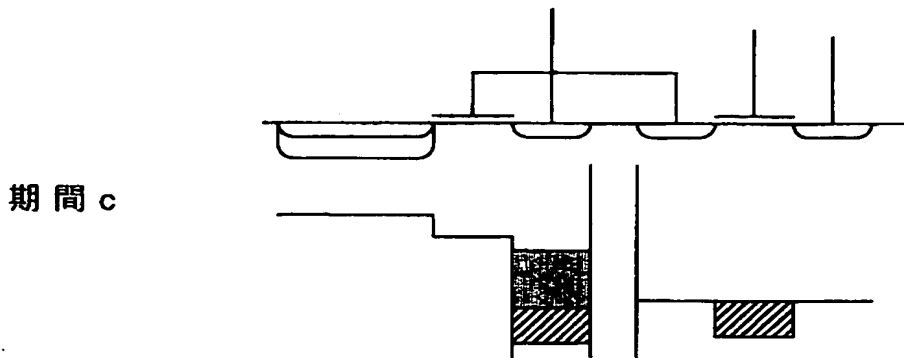
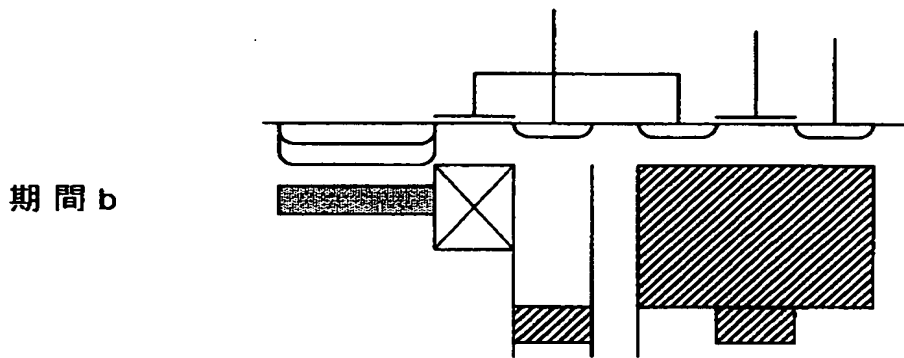
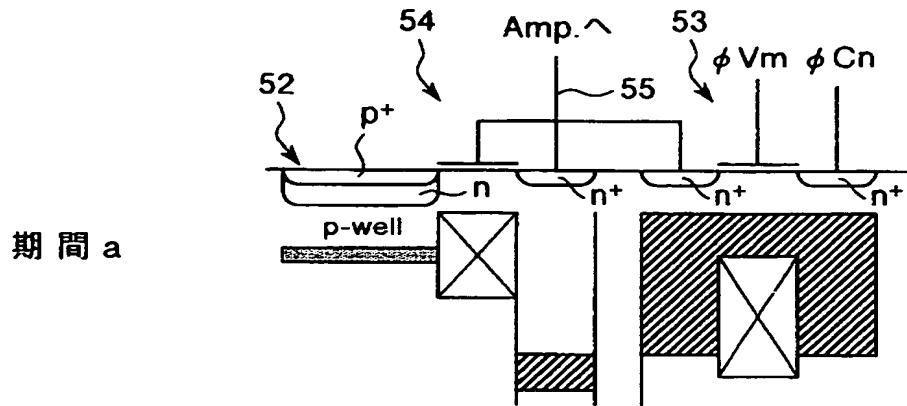
【图7】



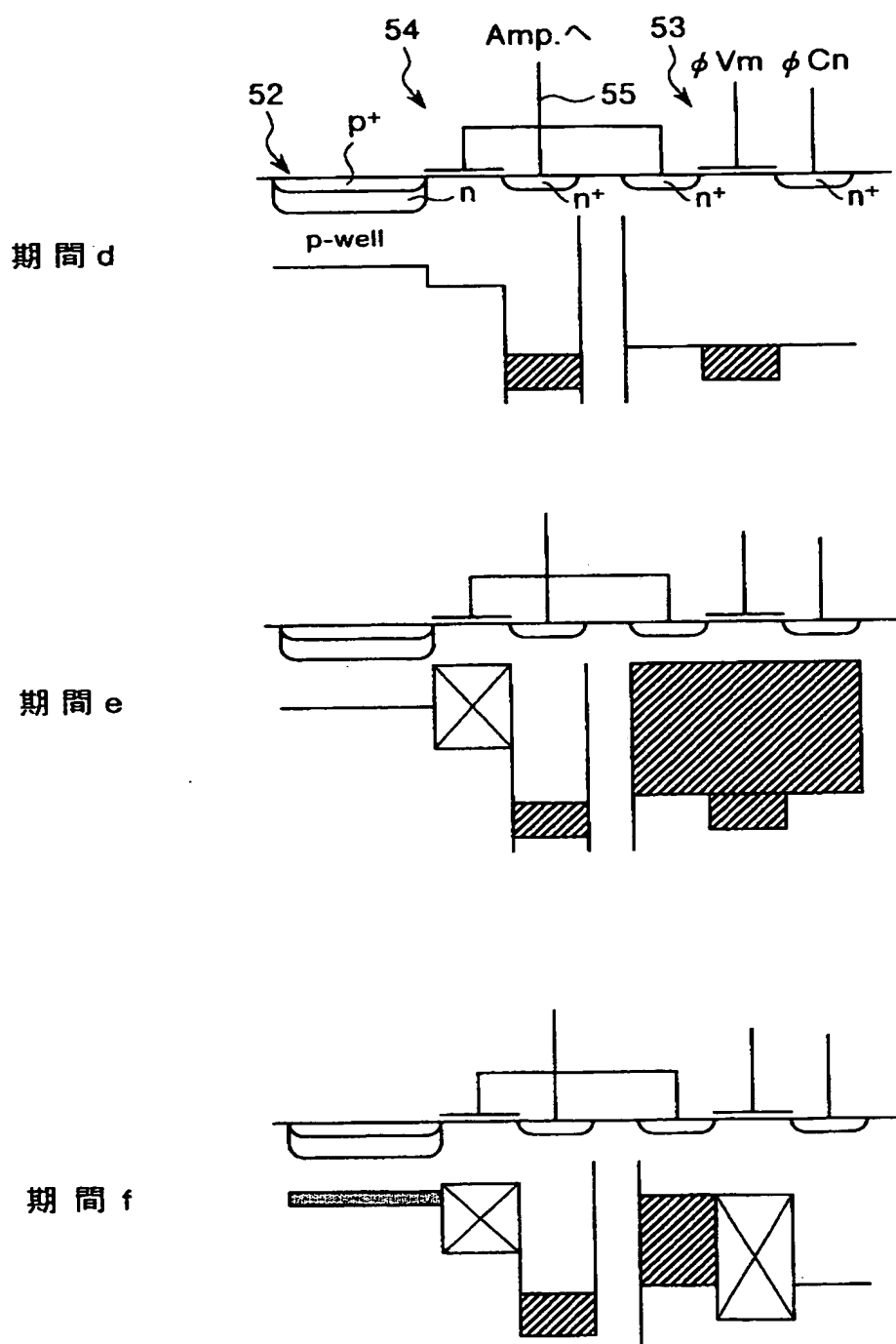
【図8】



【図9】

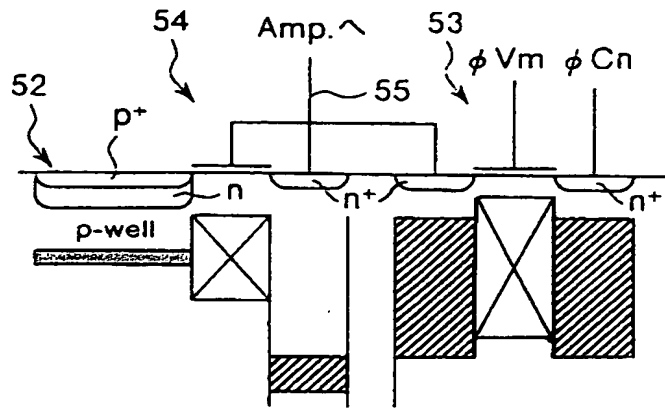


【図10】

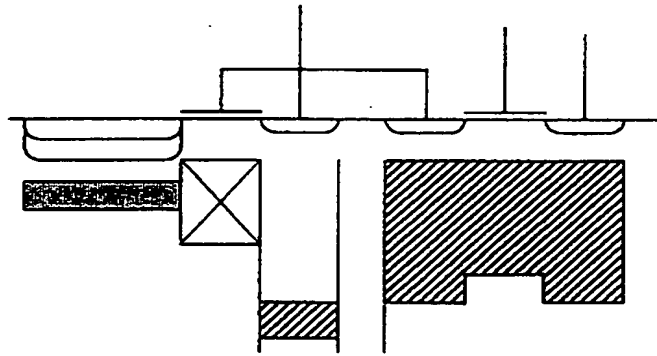


【図11】

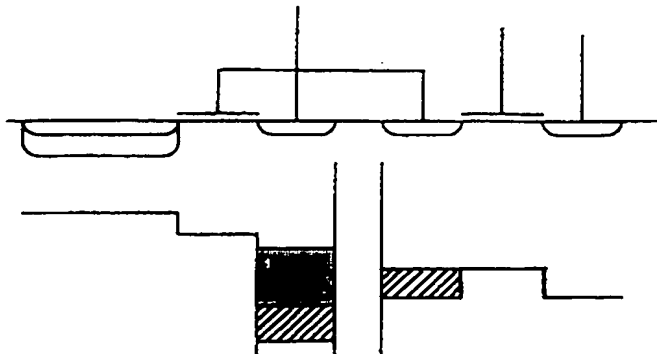
期間 a



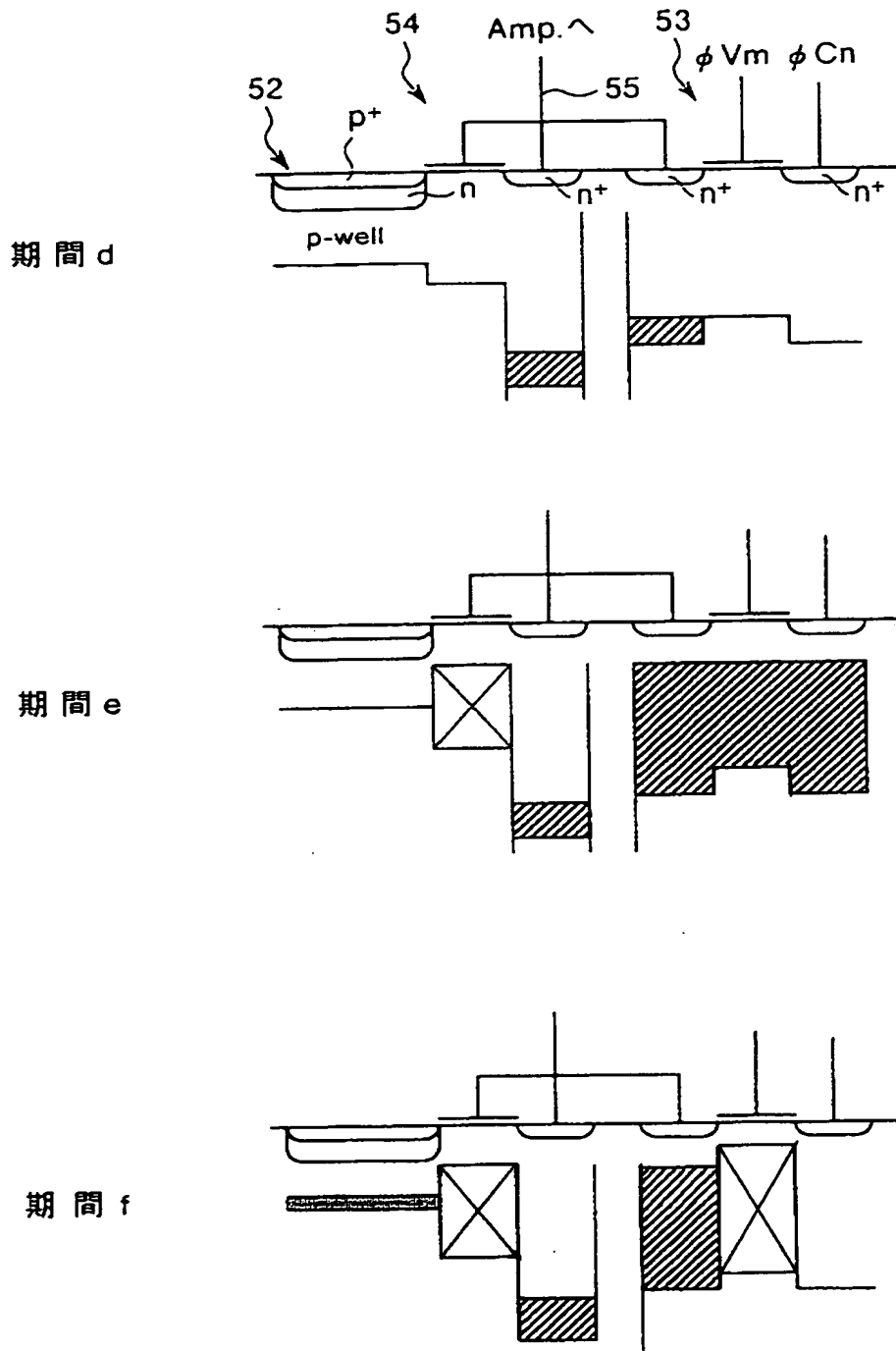
期間 b



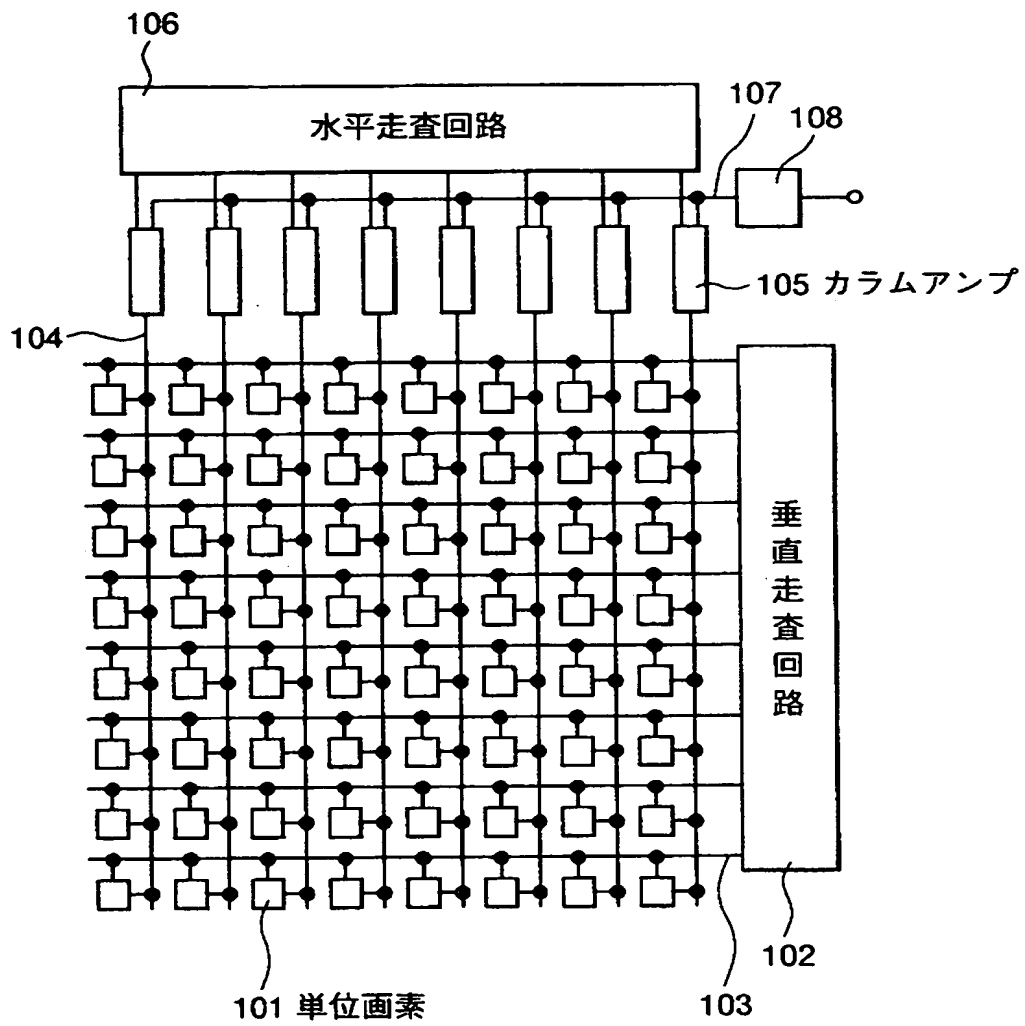
期間 c



【図12】



【図13】



【書類名】 要約書

【要約】

【課題】 デバイス外部にフレームメモリを用いたノイズ除去回路を設け、このノイズ除去回路でノイズ除去を行ったのでは、カメラシステムの規模が大きなものとなる。

【解決手段】 フォトダイオード12、選択用MOSトランジスタ13および読み出し用MOSトランジスタ14からなる単位画素11が行列状に2次元配置され、かつ垂直信号線15の各々にカラムアンプ19が接続されてなる固体撮像素子において、先ず垂直信号線15をリセット用MOSトランジスタ22でリセットしてそのリセットレベルを、次いでフォトダイオード12から垂直信号線15に画素信号を読み出してその信号レベルを同一経路（カラムアンプ19や水平選択用MOSトランジスタ20等）を経由して水平信号線18に順次出力し、しかる後CSD回路26でリセットレベルと信号レベルの差分をとる。

【選択図】 図1

【書類名】
【訂正書類】

職権訂正データ
特許願

<認定情報・付加情報>

【特許出願人】

【識別番号】

000002185

【住所又は居所】

東京都品川区北品川6丁目7番35号

【氏名又は名称】

ソニー株式会社

【代理人】

申請人

【識別番号】

100086298

【住所又は居所】

神奈川県厚木市旭町4丁目11番26号 ジェント
ビル3階 船橋特許事務所

【氏名又は名称】

船橋 國則

出 願 人 履 歴 情 報

識別番号 [000002185]

1. 変更年月日 1990年 8月30日

[変更理由] 新規登録

住 所 東京都品川区北品川6丁目7番35号

氏 名 ソニー株式会社

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.